

如何应对PAM-4及400G客户模块测试挑战

在过去的20年里，NRZ系统（最高到100G 4x25G）一直是本产业链的主流，而测试和验证此物理层链路或测试客户侧光模块的方法和手段也是相对简单。BER（比特误码率）指标是评估链路和接口性能Pass/fail的最重要指标。在大多数的情况下，在整个测试时间周期内，整个产业链都认为链路无误码最为关键。

随着移动互联网及基于云的构架的数据需求持续爆炸性增涨，直接快速推进客户侧光接口向更高速率演进，受制于器件的带宽及产业链成熟度影响，PAM-4逐渐成为新的下一代高速客户链路的典型码型调制格式，同时以太网FEC（前向纠错）技术伴随着出现在所有的接口的PMD层。新的编码调制及FEC的引入，给产业界带来了广阔无限的发展前景，但是由于PAM-4的本身对码间干扰ISI抵抗力非常弱，其链路更容易误码，此时误码的统计分布特性及FEC本身算法限制对链路或系统的最终性能起到最决定性的影响，而此时已不是一个简单的Pass/Fail所能简单描述的。

本文创新地提出如何应对当新的50G/NG 100G/200G/400G 客户链路的挑战，通过引入在测试和验证评估技术及手段上的创新，同时不增加成本和负担，从而帮整个产业链更好地评估和验证下一代高速客户侧光模块及接口链路提供可靠与可重复的测试依据和保障，从而保证更有信心的将产品交付给客户。

· 传统的物理通道速率25G及以下的验证手段

由于基于NRZ的光电口调制方式的链路系统已经发展近几十年的，特别是25G速率及一下相对技术和产业链非常成熟，测试方法相对简单。主要包括：

1. 非成帧的测试，检查链路的某段时间的误码情况，一般情况是要求0误码（ $1E-15$ ）；
2. 基于光模块的整体的压力测试一般包括：不同的非成帧序列频谱加载，时钟频偏测试，Skew测试，压力眼图灵敏度测试等；

此测试前提是基于链路可以运行在0误码（具有很大的系统余量），且没有使用FEC（前向纠错）通过软件方式进行链路信噪比余量的提升。但对于那些通过降低模块PMD成本（SR4, CWD4, SWDM4），牺牲物理链路误码余量，最后通过FEC来保证最终整体误码性能的同样可以作为相应的评估标准。

· 下一代PAM-4技术模块接口技术简介

IEEE 802.3bs, 802.3cd, 802.3cm, B10km SG分别定义的不同物理接口及相应的技术（如下图1-1所示），其中bs已经完成标准化，cd接近完成标准化。但是所有技术所有采用的主要技术实现大体相同，主要包括：

· PAM-4技术.

PAM-4调制主要通过使用4电平代替传统的两电平（0,1），调制方式相对简单，但可实现baud率保持一致的条件下，在相同的周期里比特速率（信息）比原先的基础上提高一倍。但随着编码效率的提高，其误码性能的信噪比余量却比原来的NRZ码型1/3还要差，且链路裸误码性能直接受码型线性度，噪声，通道串扰，抖动，时钟恢复等多重因素

比原先的基础上提高一倍。但随着编码效率的提高，其误码性能的信噪比余量却比原来的NRZ码型1/3还要差，且链路裸误码性能直接受码型线性度，噪声，通道串扰，抖动，时钟恢复等多重因素

Reach	Medium	50G	NG 100GE	200GE	400GE
SR (100 m)	MMF	P802.3cd 50GBASE-SR (50G PAM-4)	P802.3cd 100GBASE-SR2 (2x50G PAM-4)	P802.3cd 200GBASE-SR4 (4x50G PAM-4)	P802.3bs 400GBASE-SR16 (16x25G NRZ)
DR (500 m)	SMF	-no objective-	P802.3cd 100GBASE-DR (1x100G PAM-4)	P802.3bs 200GBASE-DR4 (4x50G PAM-4)	P802.3bs 400GBASE-DR4 (4x100G PAM-4)
FR (2 km)	Duplex SMF	P802.3cd 50GBASE-FR (50G PAM-4)	-no objective-	P802.3bs 200GBASE-FR4 (4x50G PAM-4 CWDM)	P802.3bs 400GBASE-FR8 (8x50G PAM-4 LAN-WDM)
LR (10 km)	Duplex SMF	P802.3cd 50GBASE-LR (50G PAM-4)	-no objective-	P802.3bs 200GBASE-LR4 (4x50G PAM-4 LAN-WDM)	P802.3bs 400GBASE-LR8 (8x50G PAM-4 LAN-WDM)
SR (100 m)	MMF				P802.3cm 400GBASE-SR8/ SR4.2 (50G PAM-4)
ER (40 km)	Duplex SMF	B10km SG 50GBASE-ER (50G PAM-4)		B10km SG 200GBASE-ER4 (50G PAM-4)	
ZR (120 km)	DWDM		B10km SG 100GBASE-ZR (Coherent)		B10km SG Objective Considered (Coherent)

图 1-1

影响。为尽量避免必然出现的误码影响连续两比特，PAM-4编码一般采用Gary码形式，如下图所示1-2。

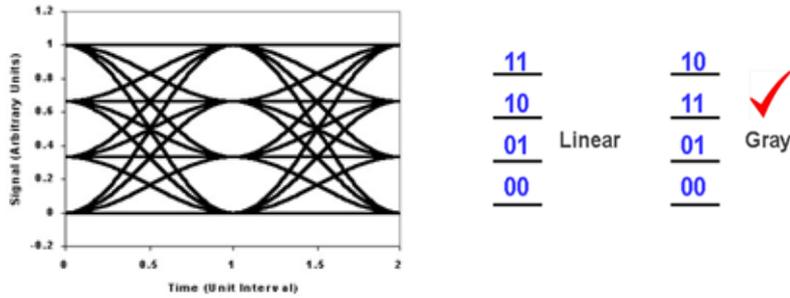


图 1-2

FEC. 前向纠错编码在OTN技术里应用历史非常久远，但在客户侧高速以太网里却是刚刚起始，其原理主要是在物理层编码阶段通过增加一定的信息比特（一般通过超频实现）来实现从软件算法层面实现针对由于链路的余量，链路噪声，串扰或反射导致误码的在线实时纠错，最终FEC上层实现纠后零误码（丢包），以实现可靠的链路传输，同时不增加被传物理媒介的硬件成本，如下图1-3为典型的200GE/400GE 所采用的KP4 FEC (544,514, 15) 编码处理框图，其通过链路的3%的信息冗余，来实现每个5440bit的编码块里，最大可实现150 bit的快速纠错，以此通过软件的方式有效提高链路的信噪比余量，保证链路可靠传送。

Raw误码率（纠前误码率）。所谓的链路的Raw误码率是指没有经过FEC实时纠错，链路本身的误码率，此指标直接表明具有客户真实信息的帧结构经相应的PAM-4编码所形成的物理频谱在当前物理链路媒介上传输所产生真实的误码率情况。大量实际测试表明，针对PAM-4调制编码在相同物理媒介条件下，成帧与非成帧的误码率表现往往差异非常大，有时甚至超过2个数量级。

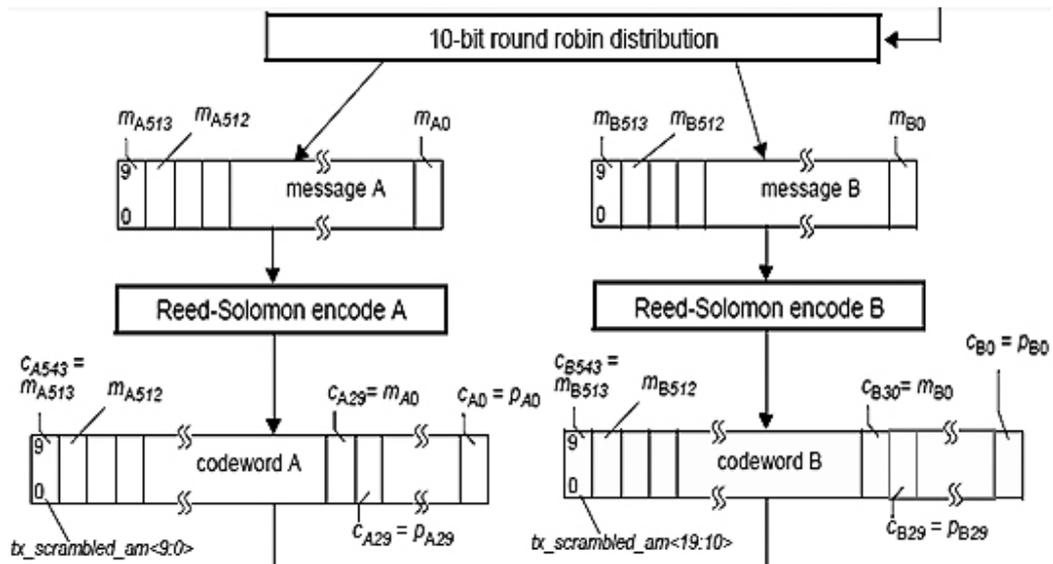


图 1-3

丢包率。丢包率是以太网业务应用评估其传输特性的最基本的指标，根据相应的处理顺序，如果链路出现误码，接收端经FEC层后无法进行全部纠错，最终传递到MAC层，任何bit错误发生在Frame的任何区域，都会导致整个以太网帧被丢弃，长帧程度影响会更大。因此，最终到达MAC层的误码的分布情况直接影响丢包率。如下图1-4所示，4比特的错误最终造成的对以太网帧影响比10bit的错误的影响要大的多。

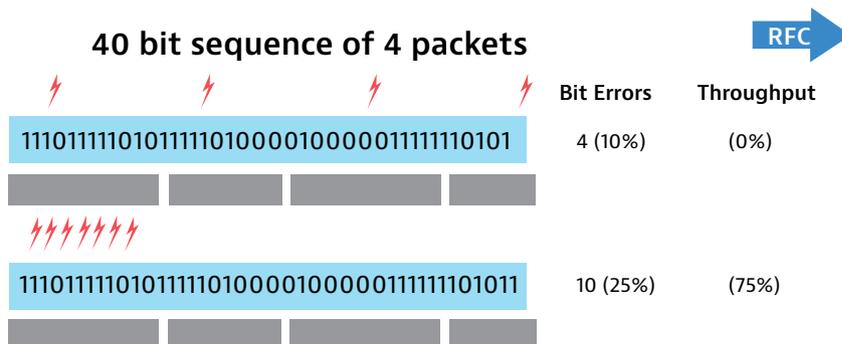


图 1-4

平均失效帧发生时间 (MTTFFA)。MTTFFA是指某一链路在发生数据包严重问题的影响而导致FEC或MAC层CRC校验失效无法纠错或指示相应错误，而认为其为好的数据帧的平均时间。

QSFP-DD封装形态。随着过去的两年的发展，下一代基于PAM-4技术的典型400G客户接口正从第一代的CFP8封装形式，快速向第二代或第三代的OSFP和QSFPDD的形态转移，作为市场最终认可的封装形态，由于其具有封装小，功耗低，端口可向下兼容低速模块。如下图1-5所示，其光口主要可实现单波50G或单波100G，电口一般为50G PAM-4。

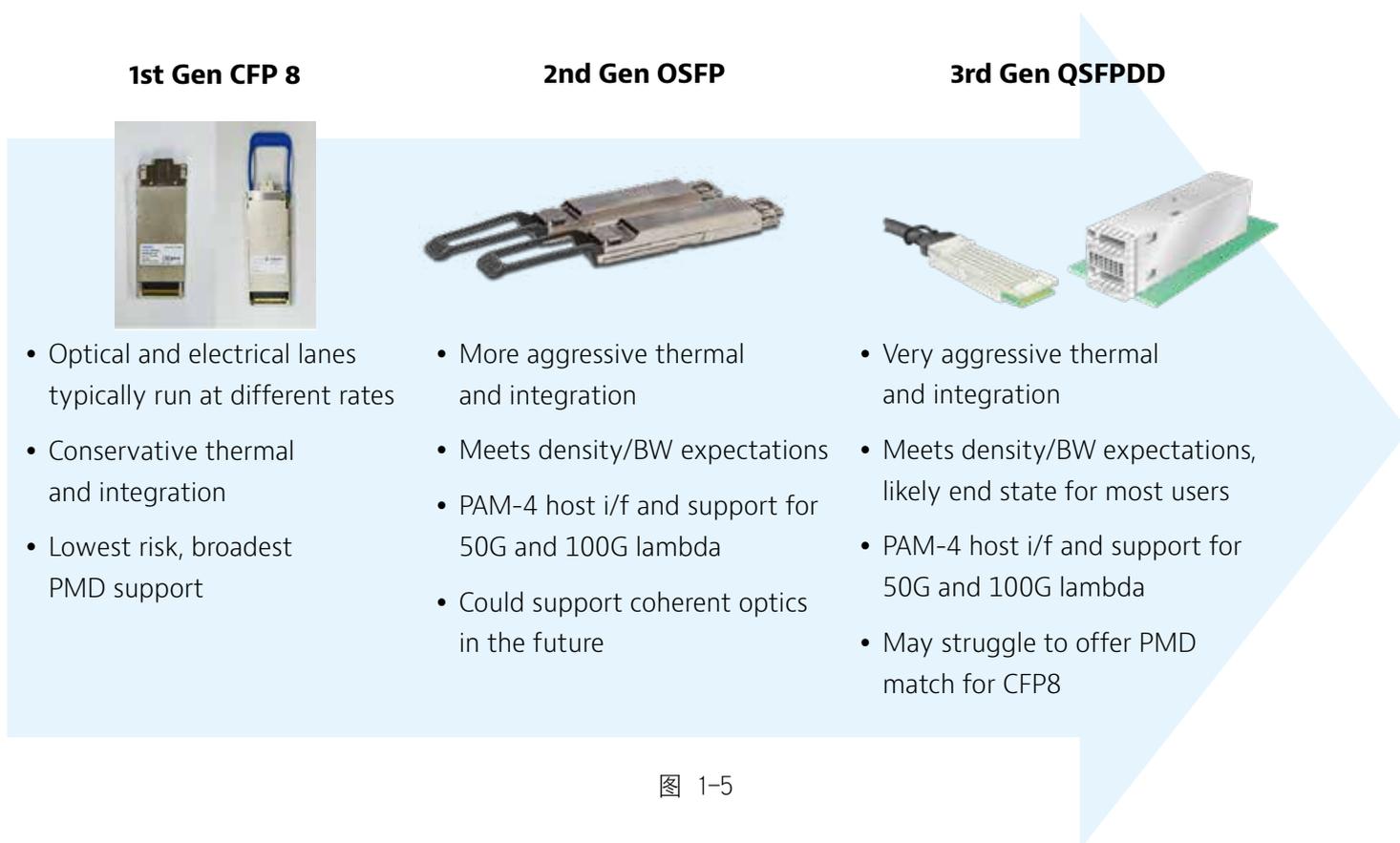


图 1-5

误码分布状况是标识PAM-4链路和系统的健康状况的最重要的指标

大家都知道FEC（前向纠错）只是一种软件算法，不是一个魔盒，并不是在任何情况下都能把 1×10^{-4} 纠前误码率的链路转变成纠后零丢包。此能力直接受制于误码分布的统计特性（突发误码或连续误码的长度直接影响其纠错性能）。如下图2-1清晰地呈现了物理链路（模块）两种极端的情况，图一显示，当前的纠前bit误码率大概为 3×10^{-11} ，单从误码率指标来看，本物理链路的指标非常好，远超IEEE的关于 2.4×10^{-4} 的定义，但经过FEC层，最终

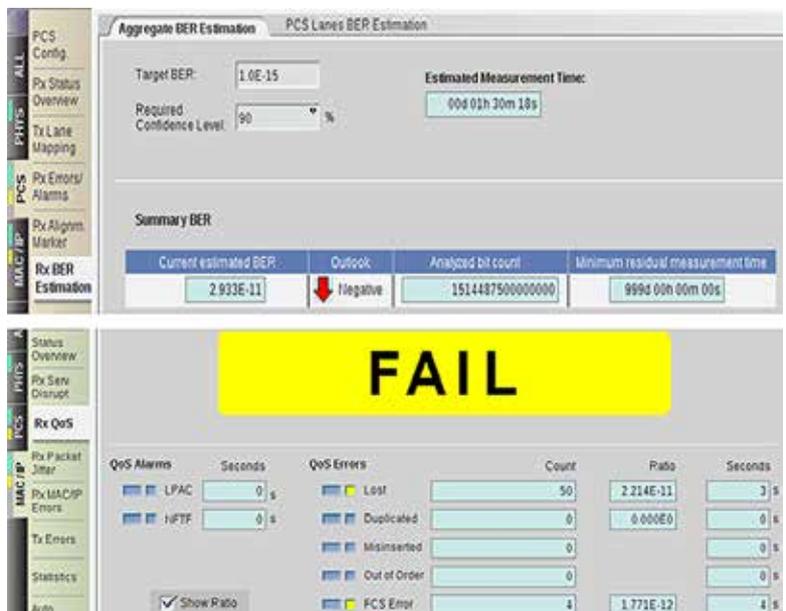


图 2-1

出现50个Frames的丢包。图2-2中我们去看到截然相反的结果，此时物理链路的纠前bit误码率为 6×10^{-4} ，接近于IEEE规定的单纯的误码率上限，相对于上图的物理链路的性能要好出7个数量级，在如此高的误码率情景下，最终到MAC层无任何丢包。此两个案例真实地反映了PAM-4链路上误码的统计分布情况直接影响最终的纠后性能。

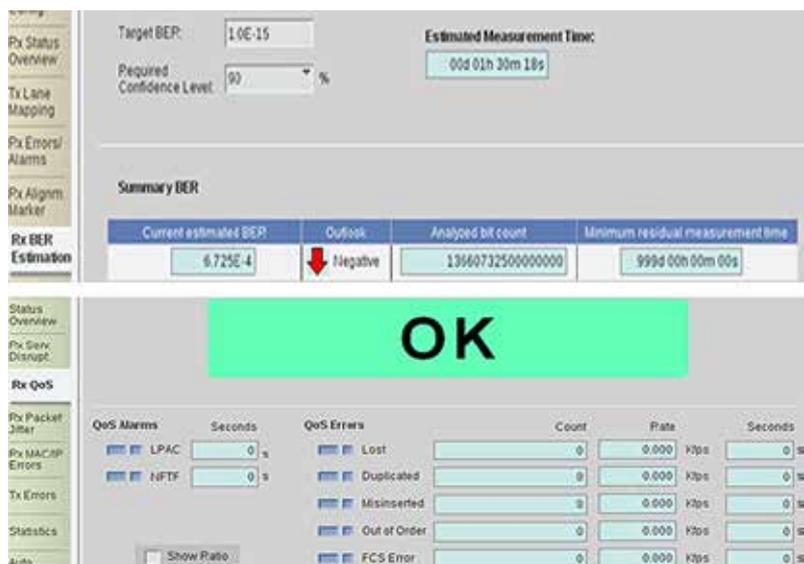


图 2-2

因此，有效的发现和清晰表明当前真实码流的PAM-4链路在每一个FEC codeword (544 symbol (10bit)) 切片中symbol错误出现的分布情况（如下图2-3所示），对于评估当前模块或PAM-4物理链路的现状，系统余量及随着时间和环境变化的性能展望具有非常重要的意义。此测试需求正是以前传统测试所没有涉及的。下图给出一个真实的QSFP56DD

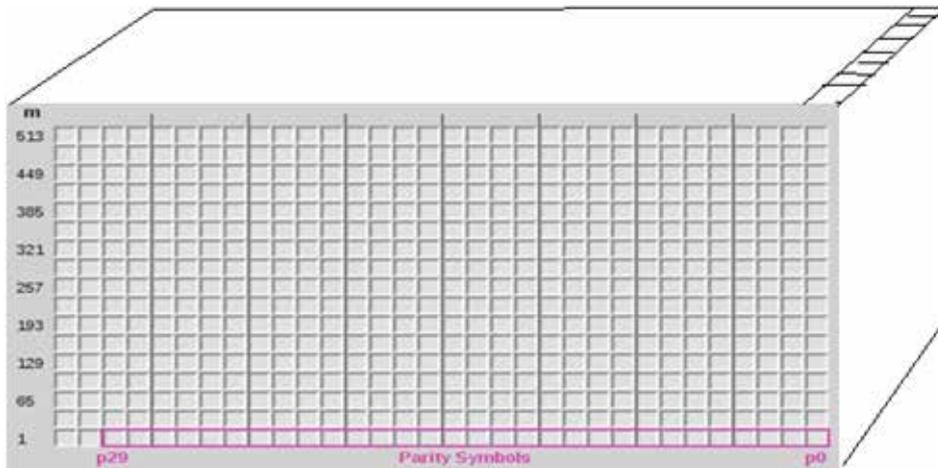


图 2-3

的测试评估截图，图中2-4一号图显示测试运行了5分32秒时的链路分布情况，此时链路没有任何丢包出现，此时的Symbol错误位于codeword里的分布最多8以内的空间。随着时间的推移，由于温度上升或其他模块内部原因，模块性能逐渐下降，如图2-4 二号图所示，此时为测试运行了12分钟25秒时的链路分布情况，此时链路仍然没有任何丢包出现，但是当前Symbol的位于Codeword里的分布已经覆盖了整个15以内的所有区域，表明此时链路已经没有任何余量，预示链路即将出现丢包。正如我们预期，当测试运行到14分43秒时，系统出现大量非可纠错codeword，同时出现大量丢包（如图2-4 三号图所示）。在整个测试过程中整个链路的物理通道纠错码率一直维持不变（误码率指标完全优于

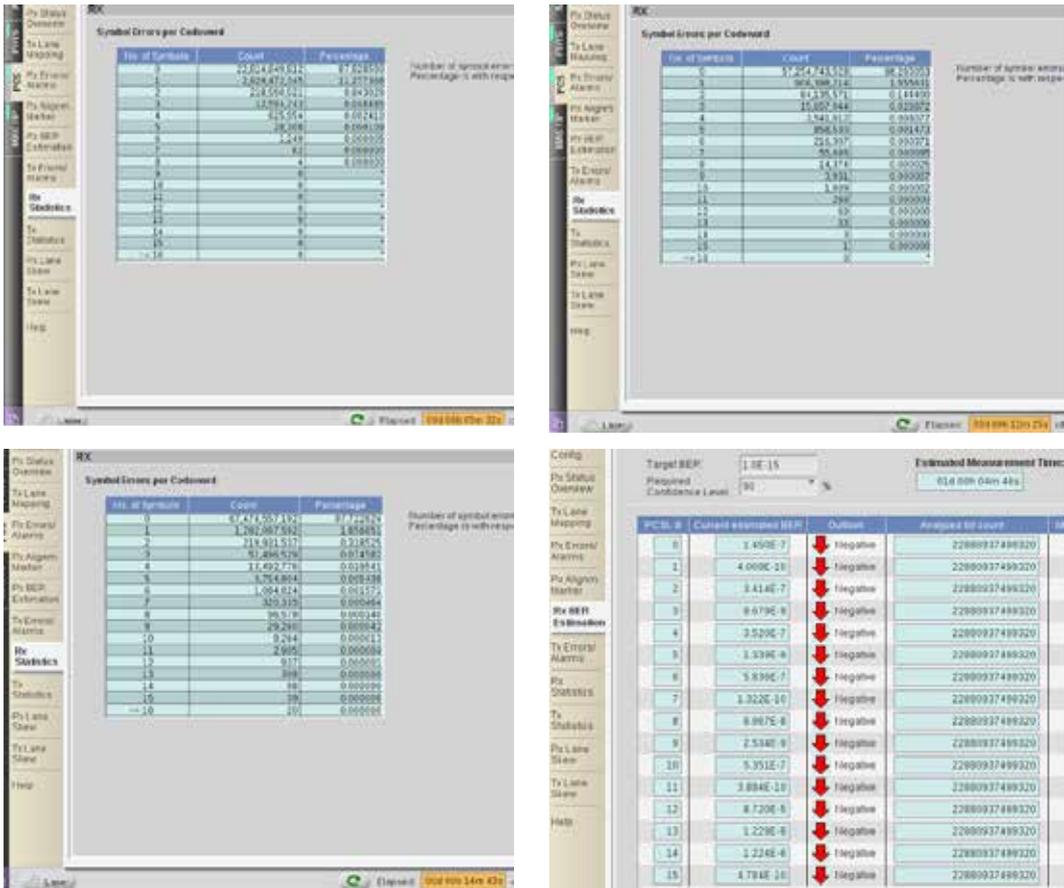


图 2-4

误码率指标完全优于IEEE规范指标要求)。此测试充分表明Symbol位于FEC层内codeword里分布的实时指标及随时间的展望变化对于评估PAM-4模块或链路的重要性。

当有效发现由于误码统计分布导致的模块或链路性能问题时，如何更进一步地分析和定位问题的根源，如：突发误码的长度，不同通道间串扰，码型依赖问题，码型滑码，传统误码问题，“1”误码分布占比，“0”误码分布占比等。所有的这些定量分析能力，需要在发送方向上按固有序列进行加载，在接受端需进行实时的PAM-4多通道bit级raw数据长序列连续抓包的实现，以实现相应的误码分布根源的定位与排查，以为下一步的设计优化提供正确的方向，并充分提高研发效率。

新的的一站化的面向PAM-4模块及链路的综合测试手段

针对下一代50G/NG 100G/200G/400G 模块与链路的测试与验证，非成帧与成帧手段经常需要紧密配合，在同一电气输出和接收条件下需灵活实现成帧与非成帧的测试的灵活切换，以便为发现不同频谱条件的差异与定位深层原因提供一站式手段。VIAVI 公司的ONT 400G PAM-4综合测试平台可实现面向下一代模块与链路接口的一站式测试目的。相应的PAM-4模块的测试一般分为大体下面两步，1. 基于非成帧的测试验证；2. 基于成帧（带FEC编码）的测试验证；

1. 非成帧测试步骤为（具体测试方式可通过PAM-4电口输出接EVB或直接将光模块如QSFP56DD直接插入仪表，如下图3-1，3-2所示）：

- 不同的PAM-4码型PRBS_Q及SSPR_Q测试；
- 物理通道间动态skew变化压力测试；
- 时钟变化测试（阶梯连续变化，大跳跃变化等）；
- I2C读写压力测试，模块供电电压，I2C供电电压，I2C总线的速率压力测试等；



图 3-1

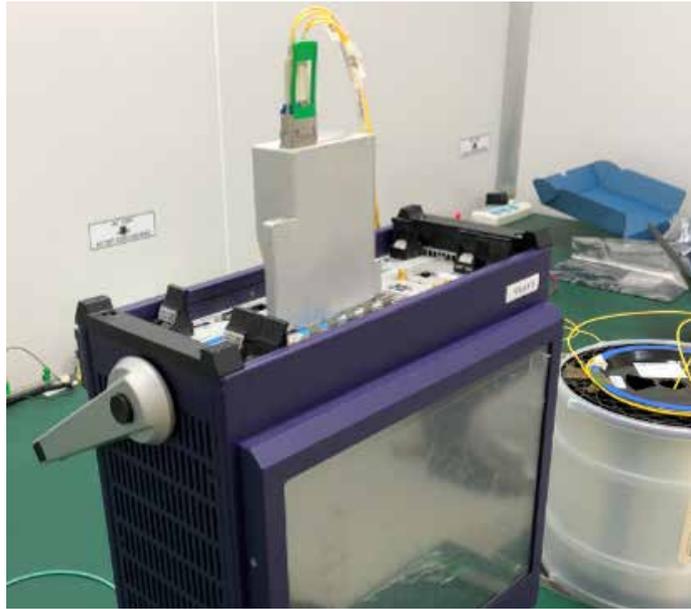


图 3-2

通过上述的测试，可以比较轻松地重复激发/复现设计问题及系统余量 (margin)，在此测试开始前，可以通过仪表的8通道的50G PAM-4的眼图幅度直方图来实时定性检查DUT配置与物理连接是否正确，是否有正确的PAM-4信号被接收，如下图3-3所示；

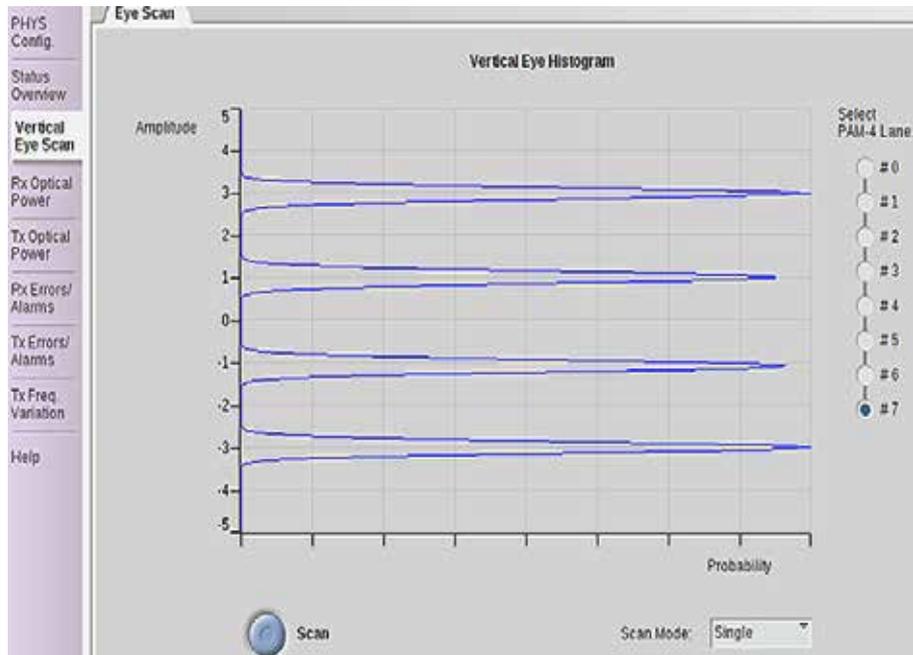


图 3-3

当模块发现有出现问题出现，需定位和细化问题根源时，ONT仪表的物理层多通道Bit长序列实时捕获功能，可帮助设计工程师或故障排查人员更容易，更有效地定位问题根源。如下图3-4所示，在固定的测试条件下，不同通道的Burst error情况会定量地直接呈现在仪表GUI上，一目了然，此测试结果可清晰定量说明Burst长误码直接会导致FEC层纠错失效。



图 3-4

另外，物理通道误码（块）间的距离也是指示误码统计性能的一个关键指标，如下图3-5所示，我们清晰的看到这段测试时间周期内的误码距离整体分布情况，整体为Poisson分布，在分布图上那些明显的峰值原因可归结为码型敏感，通道串扰（包括电源串扰）等问题

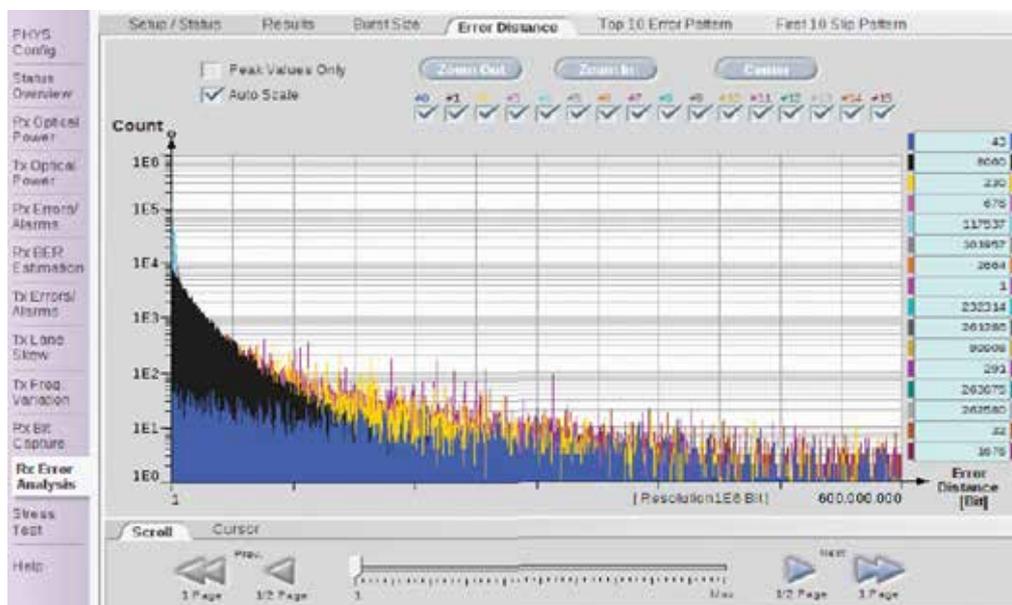


图 3-5

码型滑码也是一个非常重要和经常发生的困扰开发者的问题，但如何清晰区分开问题是由于突发误码还是由于码型滑码造成的原因非常困难，ONT的高级误码分析功能可直观指示和归类问题发生是由于码型滑码造成的（一般是由于CDR问题造成），如图3-6所示。

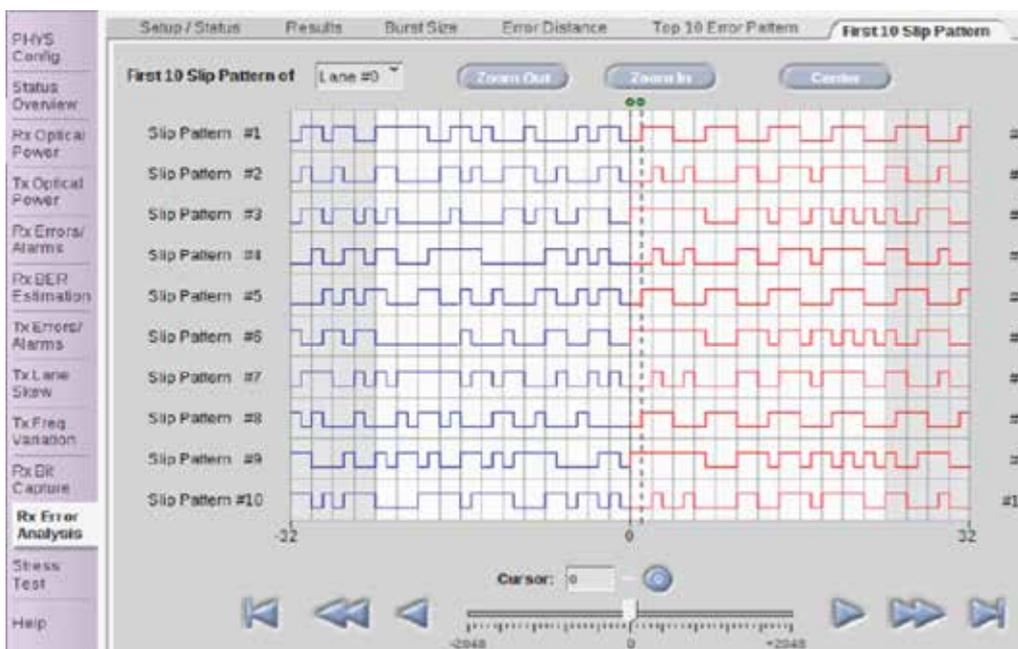


图 3-6

2. 针对成帧（带FEC编码）的测试验证，一般需让仪表以最小包长（64字节），100%流量进行测试，以实现满频谱条件测试。具体测试界面及分析界面前面章节都有相关分项重点阐述，此处不做重复说明。

· 总结

由于新的PAM-4技术的出现，传统的基于误码仪或示波器的性能验证与测试手段，已经不能覆盖且不能满足真正的测试需求。本文重点阐述了相应的关键技术点，从测试原理及测试方案详细描述了下一代的测试理论及相应的测试方法，VIAVI 公司的ONT正式集成此新的综合测试方法与测试理念的测试平台，于此同时，并没有增加测试负担和成本。