

# 北斗抗干扰高精度定位算法与VLSI Co-Design of Anti-Jamming High-Precision Positioning Algorithms and VLSI for BeiDou Navigation 协同设计

李秋虎<sup>1,2</sup>,黄采怡<sup>1</sup>,柳 慧<sup>1</sup>,郭宏琛<sup>1,3</sup>,耿 圆<sup>1,3</sup>(1. 雄安空天信息研究院,河北 雄安 071700;2. 北华航天工业学院,河北 廊坊 065003;3. 工信部电信科学技术研究院,北京 100191)

Li QiuHu<sup>1,2</sup>, Huang Caiyi<sup>1</sup>, Liu Hui<sup>1</sup>, Guo Hongchen<sup>3</sup>, Geng Yuan<sup>1,3</sup> (1. Xiong'an Institute of Aerospace Information, Xiong'an 071700, China; 2. North China Institute of Aerospace Engineering, Langfang 065003, China; 3. China Academy of Information and Communications Technology, Beijing 100191, China)

## 摘 要:

针对北斗接收机在复杂电磁环境下的抗干扰与高精度定位需求,提出基于自闭环的多通道校准和空时频联合抗干扰算法,重点研究了理论算法向硬件电路映射的优化策略。针对芯片设计实现中的资源与功耗约束,构建了极坐标复用的轻量化校准和矩阵分解优化架构,通过时分复用与矩阵分块调度策略,实现了运算精度与算力能效的平衡。基于FPGA平台的验证结果表明,该方案在载波相位连续的前提下,有效抑制了多种干扰,并降低了芯片面积。

## 关键词:

抗干扰;高精度;VLSI协同设计;FPGA验证  
doi:10.12045/j.issn.1007-3043.2026.07.002  
文章编号:1007-3043(2026)07-0006-07  
中图分类号:TN927  
文献标识码:A  
开放科学(资源服务)标识码(OSID):



## Abstract:

In response to the anti-jamming and high-precision positioning requirements of BeiDou receivers in complex electromagnetic environments, it innovatively proposes a self-closed-loop multi-channel calibration and space-time-frequency joint anti-jamming algorithm, with a focused study on optimization strategies for mapping theoretical algorithms to hardware circuits. Addressing the resource and power constraints in chip implementation, a lightweight calibration architecture based on polar-coordinate reuse and an optimized matrix decomposition structure are developed. Through time-division multiplexing and matrix block scheduling strategies, a balance between computational accuracy and energy efficiency is achieved. Validation results on an FPGA platform demonstrate that the proposed scheme effectively suppresses various interferences while maintaining carrier phase continuity, and significantly reduces chip area.

## Keywords:

Anti-jamming; High precision; VLSI co-design; FPGA verification

引用格式:李秋虎,黄采怡,柳慧,等. 北斗抗干扰高精度定位算法与VLSI协同设计[J]. 邮电设计技术,2026(7):6-12.

## 1 概述

面对日益复杂的电磁环境,北斗系统在全球卫星导航定位、定向与授时任务中的作用愈发重要。北斗信号落地功率极低且体制公开,接收机极易受到干扰,严重时将导致定位功能瘫痪。阵列天线可通过空间滤波在干扰方向形成零陷以增强有用信号,这已成

为GNSS抗干扰接收机的核心手段<sup>[1-4]</sup>。

在实际工程中,阵列构型受载体平台安装空间严格限制。在车载顶部、无人机腹部、手持终端等规则截面载体上,均匀圆阵因其全向方位覆盖和几何对称优势得到较多应用<sup>[5-7]</sup>。与直线阵只能分辨一维角度不同,均匀圆阵具备二维空域分辨能力,可在360°方位面内提供一致的抗干扰增益。圆阵的旋转不变性也有利于简化VLSI权值计算中的流水线控制。但多通道链路中的幅相失配、互耦效应及群时延误差在圆阵条件下同样会引入阵列流形误差,对高精度载波相

通讯作者:黄采怡,huangcy0202@163.com

收稿日期:2026-06-03

位测量构成影响<sup>[6-8]</sup>。

近几年的研究开始关注抗干扰处理与高精度载波相位测量的耦合关系,尝试通过观测域相位修正、权值共轭补偿及输出信号精补偿等手段抑制自适应权值变化对RTK解算的影响<sup>[9-10]</sup>。

在硬件实现方面,协方差矩阵估计与实时求逆是阵列抗干扰的主要算力瓶颈。为了满足终端低功耗、小体积要求,将算法固化于FPGA、SoC或ASIC已成为工程落地的必然选择。现有硬件实现大多仍面向通用波束形成结构,尚未专门针对均匀圆阵协方差矩阵在复数运算、共轭对称及数据流组织方面的结构特征进行VLSI优化<sup>[11-14]</sup>。

总的来看,当前研究在圆阵抗干扰求逆架构的芯片级优化与高精度载波相位平滑保持这2个方面仍比较独立,尚未形成面向均匀圆阵构型的“抗干扰权值动态更新—芯片级硬件约束—载波相位连续保持”协同设计思路。因此,针对均匀圆阵GNSS抗干扰应用,开展兼顾抗干扰性能、VLSI硬件实现复杂度与载波相位连续性的算法与架构协同优化研究,具有一定的理论意义与工程应用价值<sup>[9-15]</sup>。

## 2 系统模型分析

为验证复杂干扰环境下的抗干扰性能,本文从阵列构型、通道一致性校准以及空时频联合处理3个层面对系统模型进行分析。本文以常用的4阵元均匀圆阵为例进行分析。

### 2.1 4阵元均匀圆阵的物理机理

均匀圆阵(UCA)由4个阵元等间距分布在半径为 $r$ 的圆周上。圆阵的对称流形结构不仅能提供全方位的抗干扰覆盖,还能在有限空间内具备更好的相位一致性。对于远场信号,其空间导向矢量可表示为:

$$a(\theta, \phi) = [e^{j\zeta \cos(\phi - \phi_0)}, \dots, e^{j\zeta \cos(\phi - \phi_3)}]^T \quad (1)$$

其中,  $\zeta = 2\pi R/\lambda$ 。与线阵相比,圆阵在方位角 $\phi$ 上具备等性能的抑制能力。

阵列信号接收模型为:

$$x(t) = A(\theta, \phi)s(t) + n(t) \quad (2)$$

其中,  $A(\theta, \phi) = [a(\theta_1, \phi_1), \dots, a(\theta_D, \phi_D)] \in C^{4 \times D}$  为阵列流形矩阵,  $n(t)$  为加性高斯白噪声。

与非均匀直线阵等一维阵列在俯仰面覆盖与全向抗干扰能力上存在固有盲区相比,4阵元均匀圆阵凭借其二维旋转对称构型实现了360°方位面内的无差别感知<sup>[16]</sup>,在需要应对广域分布式干扰的复杂电磁

环境中具有不可替代的全向防御优势。圆阵通过较小的物理半径即可形成二维空间分辨力,在机腹、弹头等非细长型截面载体上既能维持低气动剖面扰动,又能利用俯仰与方位的联合自由度构建更深的空域滤波凹口以压制多径旁瓣干扰<sup>[17]</sup>。凭借“全向感知、对称校准、二维零陷”的综合优势,对干扰来向覆盖要求苛刻的场景(如高动态旋翼无人机下视抗干扰、弹头末端机动制导防欺骗、车载通导一体化终端的半球空域防护以及便携式测量设备的全向高可靠定位)展现出远优于一维非均匀线的稳健性,成为复杂信号环境下高完好性接收系统的优选阵型。

### 2.2 基于自闭环路的多通道校准模型

在阵列接收系统中,射频前端各通道由于器件离散性、温度漂移及老化等因素,通常存在幅相不一致性,表现为通道间增益差异与相位偏移。本文以4阵元均匀圆阵为例进行分析,这在阵列信号处理中不失一般性,尽管其几何布局具有理想对称性但实际通道幅相误差会破坏阵列的等效各向同性特性,导致导向矢量失真,使协方差矩阵偏离理论模型,不仅降低干扰零陷深度,还会引入载波相位跳变,严重影响后续空时自适应处理的稳定性和高精度定位性能。

本文采用基于自闭环参考信号注入的多通道校准架构。在接收机射频前端末级耦合一路已知特征的校准信号,该信号经功分网络同时馈入4个接收通道。其中,第 $m$ 个通道基带输出为:

$$y_m(t) = g_m c(t) + n_m(t) = A_m A_c \exp(j(2\pi f_c t - \phi_m)) + n_m(t) \quad (3)$$

其中,  $y_m(t)$  表示第 $m$ 个通道参考信号;  $g_m$  表示第 $m$ 个通道的复增益或通道响应;  $c(t)$  表示发射端扩频码或基带信号;  $n_m(t)$  表示第 $m$ 个通道中的噪声;  $A_m$  表示第 $m$ 个通道的幅度增益;  $A_c$  表示基带信号或码信号的幅度;  $f_c$  表示载波频率,  $\phi_m$  表示第 $m$ 个通道相位偏移。

设第 $m$ 通道的复增益为:

$$g_m = A_m e^{-j\phi_m} \quad (4)$$

以第1通道为参考基准,第 $m$ 通道的相对误差因子定义为:

$$c_m = \frac{g_m}{g_1} = \frac{A_m}{A_1} e^{j(\phi_1 - \phi_m)} = \alpha_m e^{j\Delta\phi_m} \quad (5)$$

其中,  $\alpha_m$  为相对幅度误差,  $\Delta\phi_m$  为相对相位误差。

在基带数字域,提取各通道校准信号的I/Q分量,通过极坐标变换获得幅度与相位参数,并实时计算补偿系数  $c_m^{-1}$ ,进而构造对角校准矩阵:

$$C_{\text{cal}} = \text{diag}(1, \hat{c}_2^{-1}, \hat{c}_3^{-1}, \hat{c}_4^{-1}) \quad (6)$$

经补偿后的接收信号可表示为:

$$x_{\text{cal}}(t) = C_{\text{cal}} x_{\text{raw}}(t) \quad (7)$$

从而可在抗干扰处理前减小通道间幅相失配,为后续波束形成与高精度载波相位处理提供可靠输入,具体见图1和图2。

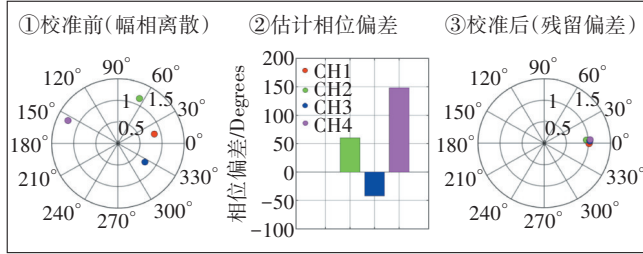


图1 4通道幅相校准前后对比

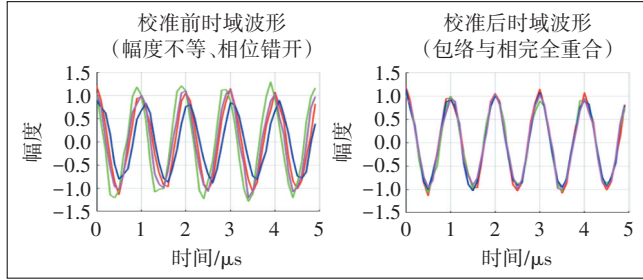


图2 4通道校准前后时域对比

### 2.3 二维均匀圆阵直线阵空时频联合抗干扰

为对抗宽带及扫频干扰,采用空时频联合抗干扰处理架构。假设接收信号经频域变换划分为 $K$ 个子带,在第 $k$ 个频域子带中引入 $L$ 阶时延抽头构成联合处理结构。将第 $n$ 个采样时刻、第 $k$ 个子带的4通道接收数据堆叠为向量 $x_k(n) \in \mathbb{C}^{4 \times 1}$ ,则该子带的空时频快拍向量定义为:

$$X_k(n) = [x_k^T(n), x_k^T(n-1), \dots, x_k^T(n-L+1)]^T \in \mathbb{C}^{4L \times 1} \quad (8)$$

该频域子带下的空时频协方差矩阵由统计平均得到:

$$R_{\text{STF},k} = E\{X_k(n)X_k^H(n)\} \quad (9)$$

在最小方差无失真响应(MVDR)准则下,该子带的最优空时频权向量满足:

$$L(w, \lambda) = w^H R_{\text{STF},k} w + \lambda(1 - w^H a_{\text{STF},k}) \nabla_w L = 0 \quad (10)$$

最优权值为:

$$w_{\text{opt},k} = \frac{R_{\text{STF},k}^{-1} a_{\text{STF},k}}{a_{\text{STF},k}^H R_{\text{STF},k}^{-1} a_{\text{STF},k}} \quad (11)$$

输出信噪比为:

$$\text{SINR}_{\text{out}} = \frac{P_s |w^H a_s|^2}{w^H R_{i+n} w} \quad (12)$$

其中, $P_s$ 为期望信号功率, $R_{i+n}$ 为干扰加噪声协方差矩阵。式(12)为评估空时频联合处理增益的核心指标。

图3给出了普通MVDR和空时频联合抗干扰示意,图4给出了不同抗干扰情况下的抗干扰能力示意。

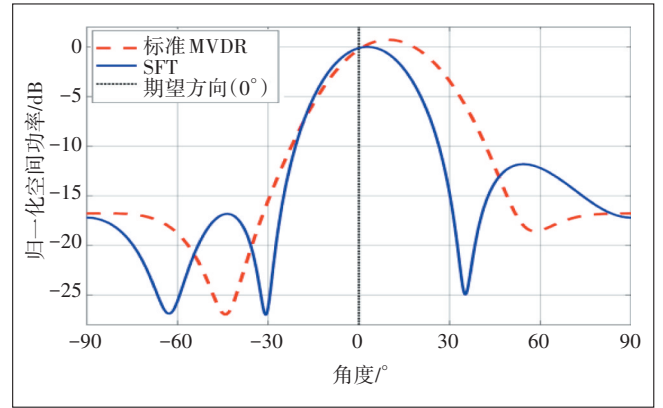


图3 普通MVDR和空时频联合抗干扰示意( $N=4$ )

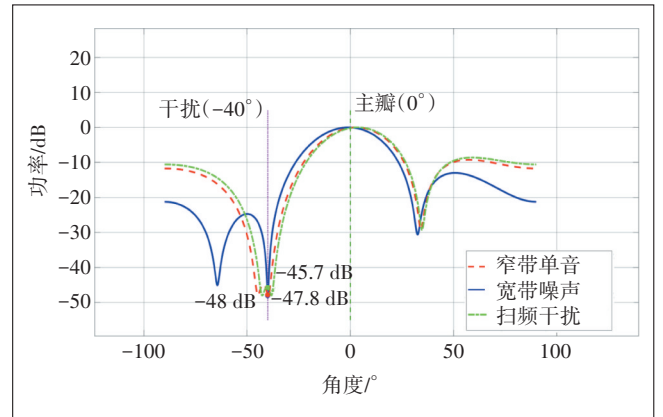


图4 不同抗干扰情况下的抗干扰能力示意( $N=4$ )

## 3 VLSI架构协同设计优化

针对高维阵列信号处理算法在硬件映射过程中面临的访存墙(Memory Wall)、非规则数据流引发的流水线停顿(Pipeline Stall)以及功耗边界约束,本文提出了一种计算与访存深度耦合的架构优化方案。通过硬件友好的算法变换与算子级资源复用,实现了性能与能效比的平衡。

3.1 极坐标域时分复用(TDM)的轻量化校准优化架构  
校准算法的闭环精度影响空域滤波的零陷深度。

为解决传统并行架构中面积开销随通道数线性增长的问题,本文设计了基于极坐标变换的轻量化校准优化架构。

### 3.1.1 单CORDIC核主从参数提取与优化设计映射

传统多通道幅相提取通常采用多路CORDIC核独立例化,存在资源重复配置,硅面积大量浪费的问题。针对这一问题,本文利用芯片系统时钟频率 $f_{clk}$ 高于基带采样率 $f_s$ 的特点,设计了基于时分复用(TDM)的单CORDIC核共享结构,通过在输入端插入多路复用仲裁器(Arbitrator),将4路通道数据以交织方式压入同一CORDIC核从而完成直角坐标到极坐标转换,降低底层算子单元与寄存器堆的消耗。为消除TDM带来的数据混叠,在流水级间同步传递通道特征字(Tag),确保数据在历经12级迭代后仍能精确归位,实现“零气泡”处理。为提高系统鲁棒性,在共享架构上引入动态主从切换机制。系统在提取各通道幅度和相位后,根据幅度或信号质量指标动态选择主参考通道:

$$m = \arg \max_i A_i \quad (13)$$

其余通道记为从通道 $S$ 。当前主通道幅度低于门限或连续劣于其他通道时,触发主通道重选;同时引入滞回判决和最小保持周期,以避免噪声扰动导致的频繁切换。各从通道相对于主通道的相位误差可表示为:

$$\Delta\phi_s = \text{mod}(\phi_s - \phi_m + \pi, 2\pi) - \pi \quad (14)$$

该方法可将相位差限制在 $(-\pi, \pi]$ 内,避免跨越 $\pm\pi$ 边界时产生跳变,保证主从切换过程中的相位连续性。为满足TDM复用下的连续处理需求,CORDIC核采用全流水线结构,并在流水级间同步传递通道标识,使不同通道数据可在各级流水线上重叠处理,从而提高核利用率和系统吞吐率。针对标准CORDIC存在固定增益的问题,本文采用移位加减法实现模长补偿,将补偿系数 $1/K \approx 0.60725$ 近似为:

$$0.60725 \approx 2^{-1} + 2^{-3} - 2^{-6} - 2^{-9} \quad (15)$$

从而避免额外占用底层算子单元。进一步结合系统校准精度需求,将CORDIC迭代级数截断为12级,在保证幅相提取精度的同时降低芯片内查找表和寄存器开销。与独立例化方案相比,该TDM架构将核心运算单元的等效逻辑门数降低了约75%,显著提升了芯片面积利用率。

### 3.1.2 位移等效平滑与联合补偿

在实际测量中,提取的误差参数通常包含噪声干扰,需进行低通平滑处理。为避免乘法器带来的芯片

功耗与面积消耗,本文在微架构层面将IIR平滑滤波器的权重系数约束为 $2^{-k}$ ( $k$ 为正整数),从而将乘法运算等效转换为硬连线逻辑右移(Shift-Right)与减法操作。

$$y[n] = (1 - 2^{-k})y[n-1] + 2^{-k}x[n] \quad (16)$$

针对多级处理产生的量化噪声累积,本文通过算子融合(Operator Fusion)技术,将射频前端群时延偏置 $\Delta\phi_{\text{delay}}$ 、几何相位中心偏差 $\Delta\phi_{\text{geom}}$ 与实时校准值 $\Delta\phi_{\text{cal}}$ 在同一加法器树(Adder Tree)中进行统一修正。此举减少了3次截断(Truncation)过程,使最终输出的相位精度提升了约0.5 bit,为高精度载波跟踪奠定了纯净的数据基础。

表1给出了极坐标域校准架构资源对比情况。

表1 极坐标域校准架构资源对比

| 设计指标         | 传统并行架构    | 本文轻量化架构      | 优化幅度     |
|--------------|-----------|--------------|----------|
| CORDIC处理单元数量 | 4组独立核     | 1组时分复用(TDM)核 | 减少75%    |
| 增益补偿乘法器      | 1个全乘法器/通道 | 硬连线移位加法网络    | 逻辑门降低75% |
| IIR平滑乘法器     | 4个浮点乘法器   | 0(位移等效滤波器)   | 乘法器消除    |
| 相位补偿加法器树     | 3级独立加法器   | 1级联合补偿网络     | 减少3次截断   |
| 核心逻辑总面积(估计)  | 基准(100%)  | ~30%         | 降低约70%   |

## 3.2 空时频联合抗干扰架构优化

针对复杂电磁环境下的阵列信号处理需求,本文提出了一种基于空时频联合抗干扰的VLSI架构优化方案,该方案主要通过优化主对角元素计算、引入快速平方根倒数(RSQRT)算法以及添加相位平滑约束模块,提升了系统的实时性和抗干扰能力。

### 3.2.1 复数域Cholesky分解的递推映射

设Cholesky分解的完整矩阵形式:

$$R_{\text{STF},k} = GG^H \quad (17)$$

主对角元素:

$$L_{jj} = \sqrt{A_{jj} - \sum_{k=1}^{j-1} |L_{jk}|^2} \quad (18)$$

非对角元素:

$$L_{ij} = \frac{1}{L_{jj}} \left( A_{ij} - \sum_{k=1}^{j-1} L_{ik} L_{jk}^* \right), \quad i > j \quad (19)$$

硬件实现采用单一处理单元时分复用架构。非对角元素计算涉及的复数乘加及共轭操作均在该复用PE流水线内闭环完成,PE流水线通过对复数乘法、加法、减法、累加及结果寄存等操作进行分级,将原本

串行执行的递推过程转化为多级重叠执行过程。在单PE时分复用架构下,前一矩阵元素完成某一级运算时,后一元素可进入前一级开始处理,从而提高硬件利用率。由于非对角元素更新的数据通路在PE内部闭合,整个递推过程中无需插入额外空闲周期,确保高吞吐率。

### 3.2.2 基于RSQRT的非线性算子映射与鲁棒性优化

Cholesky分解中主对角元素计算须求取平方根倒数作为除数。若调用传统除法器与开方IP核,其深流水线延迟将导致PE阵列频繁停顿,在ASIC实现中还将引入显著的功耗与面积开销。为此,本文在VLSI架构中直接映射快速平方根倒数(RSQRT)算法,其执行过程如下。

初值获取:将输入浮点数按位拆分,利用预置魔术常数(如0x5f3759df变体),并通过整数减法与移位操作,在单周期内获得逼近值 $y_0 \approx 1/\sqrt{x}$ 。

牛顿迭代修正:利用芯片内嵌DSP乘法器执行一次Newton-Raphson Iteration迭代: $y_1 = y_0(1.5 - 0.5xy_0^2)$ 所得 $y_1$ 满足后续分解精度要求。

该架构天然规避了传统除法算子在面对病态矩阵(即除数趋近于零)时的数值奇异问题。RSQRT算法通过位级近似,在定义域边缘具有平滑的饱和特性,能够输出稳定的有限近似值。这使得系统无需额外插入昂贵的零值检测模块与分支饱和逻辑,既压缩了约15%的LUT资源开销,又确保了抗干扰算法在强相干干扰环境下的计算连续性(见图5)。

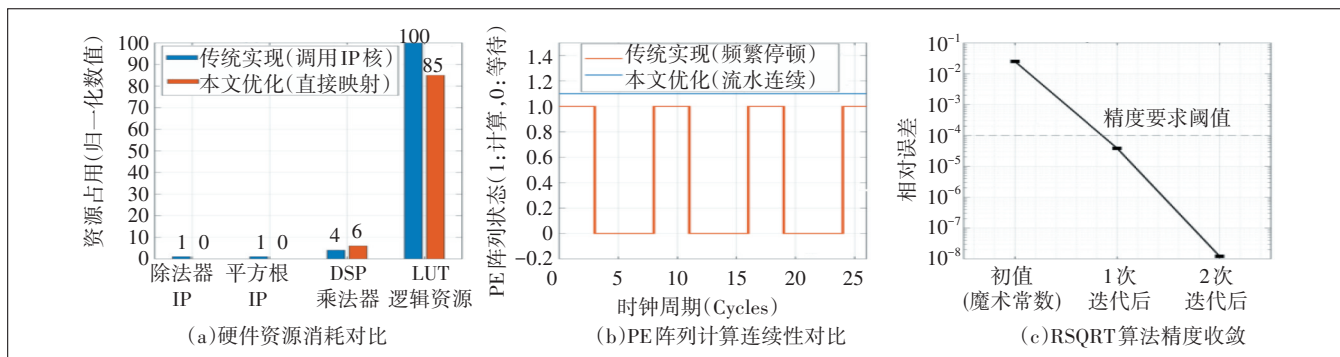


图5 倒数平方根资源对比

### 3.2.3 面向高精度测量的权值相位平滑约束

为抑制干扰突变引起的权值相位跳变,在VLSI逻辑中嵌入了一阶递归平滑模块。通过动态遗忘因子 $\alpha$ 隔离空域权值对时域锁相环的冲击,保证了等效相位中心(EPC)的毫米级连续性。

$$w_{\text{smooth}}(k) = \alpha w_{\text{opt}}(k) + (1 - \alpha)w_{\text{smooth}}(k - 1) \quad (20)$$

扰瞬变期(强梯度):模块自动减小 $\alpha$ ,增强历史权值惯性,强制压制权值的无序跳变,缓冲对PLL的扰动。

干扰稳态期(弱梯度):模块增大 $\alpha$ ,快速跟踪理论最优抗干扰零陷,确保深抑制性能。该机制真正打通了“底层抗干扰滤波”与“后端高精度载波”解算之间的壁垒。

表2给出了空时联合处理核心算子性能对比,表3给出了系统级延时与功耗优化对比。

通过统一极坐标复用的轻量化校准和空时频联合抗干扰的VLSI架构协同优化(见图6),本文在保证高精度载波跟踪的同时,显著提升了系统的实时性与

表2 空时联合处理核心算子性能对比

| 算子模块       | 传统实现方案     | 本文映射方案      | 性能提升      |
|------------|------------|-------------|-----------|
| Cholesky分解 | 通用处理器串行    | 脉动阵列折叠流水    | 利用率趋近100% |
| 主对角元素开方/除法 | CORDIC开方IP | 快速平方根倒数     | 时延缩短60%   |
| 除法器需求      | 需显式除法器     | 0(牛顿迭代替代)   | 消除流水线阻塞   |
| 矩阵数据访存     | 片外DDR读取    | 内部闭环反馈通路    | 解决访存墙瓶颈   |
| 病态矩阵处理     | 需额外除零检测    | RSQRT天然饱和收敛 | 省去异常逻辑    |

表3 系统级延时与功耗优化对比

| 系统指标           | 优化前(预估)   | 优化后(本文架构)  | 提升效果       |
|----------------|-----------|------------|------------|
| 校准通道切换振荡       | 存在乒乓效应    | 滞回判决+保持计数器 | 基准稳定性提升    |
| 权值相位连续性        | 突变引发PLL失锁 | 梯度感知动态平滑   | EPC精度达毫米级  |
| 复杂抗干扰实时处理延时    | 基准        | 流水重叠+RSQRT | 降低50%      |
| 动态翻转功耗         | 高(浮点乘法活跃) | 低(位移与加法为主) | 续航显著延长     |
| 相位输出有效位数(ENOB) | 基准        | 联合补偿减少截断   | 提升约0.5 bit |

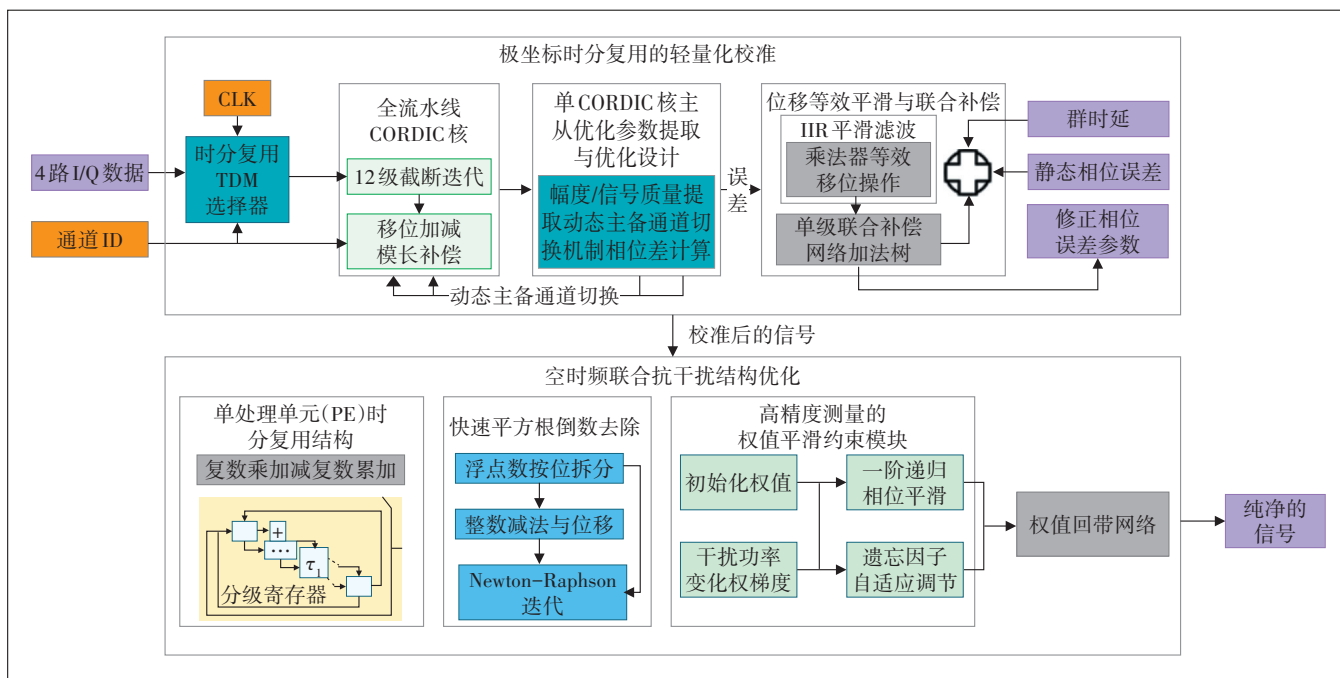


图6 VLSI架构顶层框图实现逻辑的架构

鲁棒性,大幅降低了芯片实现的面积与功耗开销,为复杂电磁环境下的阵列信号处理提供了有效的芯片级解决方案。

#### 4 VLSI架构实现与性能分析

本文采用“FPGA原型验证+40 nm CMOS综合评估”的双重路径:首先通过FPGA验证架构的并行处理逻辑与并发时序;随后将其映射至40 nm CMOS工艺芯片,得出等效门数及功耗等核心芯片指标,从而证明该架构在商用低功耗GNSS终端芯片中的实用价值。

##### 4.1 硬件资源消耗与工艺映射分析

在VLSI设计中,硬件资源消耗直接决定了芯片的面积成本(Area Cost)。本文首先在Xilinx Kintex-7系列FPGA平台上搭建了RTL原型验证系统,以定量分析各核心模块的硬件复杂度。表4为FPGA原型验证

资源映射情况。

在FPGA验证的基础上,本文通过40 nm CMOS工艺下的逻辑综合与映射分析证明,该架构以约350K等效逻辑门、128 KB分块优化存储及低于50 mW的核心动态功耗,在逻辑规模、访存带宽与能效表现之间达成了优异平衡,从性能与资源双重维度全面满足了低功耗GNSS芯片的集成设计约束。

##### 4.2 实时性与处理时延分析

时延是衡量GNSS抗干扰与高精度芯片实时响应能力的指标。为了满足高动态环境下信号捕获与跟踪的连续性,本文对VLSI架构进行了深度流水线优化。表5所示为各模块的时延分析。

从表5可以看出,主要模块整体处理时延为8 600 ns,表明该VLSI架构在高动态和强干扰环境下仍能保持较低的响应延迟。每个模块的时延优化也表明,设计的时效性得到了有效提升,满足芯片级实时处理的要求。

表4 FPGA原型验证资源映射情况

| 模块        | DSP单元 | LUT单元  | BRAM单元 | FF单元   | 逻辑分部权重/% |
|-----------|-------|--------|--------|--------|----------|
| 多通道校准模块   | 91    | 5 952  | 4      | 4 795  | 21.59    |
| 抗干扰处理模块   | 112   | 10 502 | 8      | 9 463  | 38.10    |
| 相位平滑约束网络  | 54    | 3 139  | 1      | 5 120  | 11.39    |
| 协方差矩阵求逆模块 | 52    | 2 815  | 0      | 1 552  | 10.21    |
| 总计        | 309   | 22 408 | 13     | 20 930 | 81.29    |

表5 各模块的时延对比

| 模块        | 时延/时钟周期 | 时延/nm | 时延优化/% |
|-----------|---------|-------|--------|
| 多通道校准模块   | 66      | 825   | 9.82   |
| 抗干扰处理模块   | 352     | 4 400 | 14.55  |
| 相位平滑约束网络  | 148     | 1 850 | 8.21   |
| 协方差矩阵求逆模块 | 122     | 1 525 | 12.43  |
| 总计        | 688     | 8 600 | 11.76  |

### 4.3 VLSI 综合性能汇总

为了更直观地体现从FPGA原型到VLSI芯片的跨越,表6汇总了本文架构在40 nm CMOS工艺下的最终性能指标。

表6 最终性能指标

| 评估维度     | 指标参数                   | 值/特性               |
|----------|------------------------|--------------------|
| 基础工艺     | 工艺节点                   | 40 nm LP CMOS      |
|          | 核心电压/V                 | 1.1                |
| 逻辑与面积    | 等效逻辑门数                 | ~350K Gates        |
|          | 物理占板面积/mm <sup>2</sup> | <0.45              |
|          | 单元利用率/%                | ~72                |
| 频率与时序    | 工作频率/MHz               | 200                |
|          | 最差情况时序余量(WNS)/ps       | >150               |
| 存储资源     | 片上SRAM容量/KB            | 128                |
|          | 存储单元                   | 高密度6TSRAM,支持双口并发访问 |
| 功耗管理     | 核心动态功耗/mW              | <15                |
|          | 漏电流功耗/ $\mu$ W         | <20                |
|          | 时钟门控效率/%               | >95                |
| GNSS专用性能 | 并行跟踪通道                 | 4独立跟踪通道            |
|          | 动态跟踪灵敏度/dBm            | -162               |

## 5 结束语

本文针对4阵元均匀圆阵的GNSS抗干扰与高精度测量问题,提出了一种面向VLSI芯片实现的算法与架构协同设计方法。在复杂电磁环境下,该方法通过多通道自闭环校准、空时频联合抗干扰模型以及VLSI硬件架构的优化设计,在提升抗干扰能力与载波相位连续性的同时,有效降低了芯片实现的面积与功耗开销。未来可进一步开展ASIC后端物理设计与流片验证工作,并增加与其他现有抗干扰方案的对比测试,以全面评估该芯片化方案在更广泛应用条件下的性能表现。

### 参考文献:

[1] Sun Y F, Chen F Q, Lu Z K, et al. Anti-jamming method and implementation for GNSS receiver based on array antenna rotation[J]. Remote Sensing, 2022, 14(19): 4774.

[2] Wu J, Tang X M, Huang L, Et al. Blind adaptive beamforming for a global navigation satellite system array receiver based on direction lock loop[J]. Remote Sensing, 2023, 15(13): 3387.

[3] Li S, Wang F X, Tang X M, Et Al. Anti-jamming GNSS antenna array receiver with reduced phase distortions using a robust phase compensation technique[J]. Remote Sensing, 2023, 15(17): 4344.

[4] Wang J, Liu W X, Chen F Q, et al. GNSS array receiver faced with overloaded interferences: anti-jamming performance and the incident directions of interferences [J]. Journal of Systems Engineering and Electronics, 2023, 34(2): 335-341.

[5] Xu Z X, Dong Q J, Li S Y, et al. Robust wideband interference suppression method for GNSS array antenna receiver via hybrid beamforming technique[J]. Remote Sensing, 2024, 16(11): 1913.

[6] Zhang K, Li X J, Chen L, et al. Impact analysis of orthogonal circular-polarized interference on GNSS spatial anti-jamming array [J]. Remote Sensing, 2024, 16(23): 4506.

[7] Zhang J B, Feng W Q, Wang H. A phase bias compensation method for anti-interference antenna arrays in RTK positioning [J]. Remote Sensing, 2025, 17(6): 1018.

[8] Dores G, Dinis H, Baptista D, et al. Performance assessment of a GNSS antenna array with digital beamforming supported by an FPGA platform[J]. Applied Sciences, 2025, 15(11): 5811.

[9] Xu Z X, Dong Q J, Yue F Z, et al. 2D notch generator algorithm for GNSS space-time anti-jamming based on frequency-invariant-shaped beam pattern synthesis [J]. GPS Solutions, 2024, 28(4): 177.

[10] Song J, Chen L, Lu Z K, et al. Cascaded multiplier-free implementation of adaptive anti-jamming filter based on GNSS receiver [J]. Frontiers in Physics, 2024, 12: 1404236.

[11] Jiang Y C, Fu J, Li B, et al. Distributed sensitivity and critical interference power analysis of multi-degree-of-freedom navigation interference for global navigation satellite system array antennas [J]. Sensors, 2024, 24(2): 650.

[12] Wu J, Li C L, Lin H L, et al. DOA estimation of GNSS signals based on deconvolved conventional beamforming [J]. Remote Sensing, 2024, 16(20): 3856.

[13] Meng Z, Shen F. Robust space-time adaptive processing method for GNSS receivers in coherent signal environments [J]. Remote Sensing, 2023, 15(17): 4212.

[14] Tombakdjian L, Bnilam N, Ferrero F, et al. GNSS constellations monitoring using a phased array antenna system [J]. Engineering Proceedings, 2025, 88(1): 9.

[15] Gomes D, Baptista D, Dinis H, et al. Software-defined platform for global navigation satellite system antenna array testing and beamforming algorithms development [J]. Applied Sciences, 2024, 14(21): 9621.

[16] 沈季, 万显荣, 易建新, 等. 复杂干扰场景下的稳健自适应波束形成[J]. 系统工程与电子技术, 2023, 45(4): 941-949.

[17] 张晓芳. 天线跟踪与自适应抗干扰技术研究[D]. 西安: 西安电子科技大学, 2009.

### 作者简介:

李秋虎, 毕业于北华航天工业学院, 硕士, 主要研究方向为GNSS抗干扰与反欺骗; 黄采怡, 毕业于北华航天工业学院, 硕士, 主要从事北斗+5G定位导航工作; 柳慧, 毕业于英国谢菲尔德大学, 硕士, 主要从事空天信息领域的经济分析和数据资产建模工作; 郭宏琛, 硕士, 主要研究方向为无源北斗; 耿圆, 硕士, 主要研究方向为无源北斗。